



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 9 日
Date of Application:

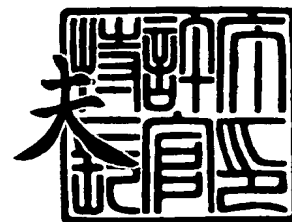
出 願 番 号 特 願 2 0 0 3 - 0 2 0 6 5 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 2 0 6 5 0]

出 願 人 三 菱 電 機 株 式 会 社
Applicant(s): 有 馬 裕

2 0 0 3 年 1 0 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 543824JP01

【提出日】 平成15年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8234
H01L 27/088
H03K 19/00

【発明者】

【住所又は居所】 福岡県飯塚市大字伊岐須 1 番地の 4

【氏名】 有馬 裕

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【住所又は居所】 福岡県飯塚市大字伊岐須 1 番地の 4

【氏名又は名称】 有馬 裕

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子

【特許請求の範囲】

【請求項 1】 電界効果型トランジスタにおけるゲート領域のゲート長方向両端側にまたは片端側に、ゲート幅方向に沿ってその全幅に渡る制御チャネル領域が設けられ、

前記制御チャネル領域における閾値は前記ゲート幅方向において一方端から他方端に向かう一方向変化特性を持って連続的にまたは階段状に変化する不均一性を有している、

ことを特徴とする半導体素子。

【請求項 2】 前記制御チャネル領域が前記ゲート長方向両端側に設けられる場合において、

前記閾値の一方向変化特性は、ソース領域側の制御チャネル領域とドレイン領域側の制御チャネル領域とでは、逆順の関係になっている、

ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】 前記制御チャネル領域における閾値の不均一性は、前記制御チャネル領域を構成する制御チャネル拡散領域の不純物濃度を前記ゲート幅方向において一方端から他方端に向かって不均一にすることによって実現されることを特徴とする請求項 1 または 2 に記載の半導体素子。

【請求項 4】 前記制御チャネル領域における閾値の不均一性は、前記制御チャネル領域における絶縁膜の厚さを前記ゲート幅方向において一方端から他方端に向かって不均一にすることによって実現されることを特徴とする請求項 1 または 2 に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電界効果型トランジスタの利得係数を変調できるようにした半導体素子に係り、特に将来の大規模・高集積の半導体集積回路（LSI）デバイスにおいて、LSI 製造後にチップ個々の最適化によって LSI の高性能化を実現

する自己最適化型 L S I や自己適応型 L S I などの新しいタイプの L S I デバイスを実現するための基本素子となる半導体素子に関するものである。

【0002】

【従来の技術】

最近の L S I デバイスは、素子微細化の進展に伴い益々大規模高集積化が進み、システムオンチップ化が現実のものとなり、チップ内部に多種多様な機能回路を多数集積することが不可欠となってきた。そのような大規模 L S I デバイスの設計では、集積された多数の機能回路をそれぞれ正しく動作させるために、機能回路間の動作タイミングなどを最適化調整することが特に重要である。

【0003】

一方、L S I デバイスは、発明以来約 30 年以上に渡り、主に素子の微細化によって性能を高めてきたが、素子微細化において様々な物理的限界が顕在化してきた昨今では、集積回路素子を安定・均質に製造することが極めて困難になりつつある。

【0004】

その結果、L S I デバイスの設計では、L S I の製造過程で避けることのできないプロセス変動をカバーするために動作マージンを確保する措置が必要である。そして、この動作マージンを確保する措置が、L S I デバイ스에集積する機能の多様化・大規模化に伴って、大規模 L S I デバイスの更なる高性能化を阻むようになってきた。

【0005】

このように、将来の L S I デバイスでは、チップ内素子特性のバラツキ（分布）やプロセス変動による素子特性の中央値変動（シフト）のような、L S I チップ毎に個性をもった素子特性の不均一性と、それに伴う L S I 物理設計（性能最適化設計）の困難性が顕在化してきているので、素子の微細化だけに頼った L S I デバイスの高性能化手法は、限界に近づきつつある。

【0006】

したがって、今後、L S I デバイスの高性能化を推進するためには、ある程度大きな素子特性バラツキを前提とした新たな L S I 設計・製造手法の確立が不可

欠となる。ある程度大きな素子特性バラツキを前提としたLSI設計・製造に関する一つのアプローチとして、LSIチップ自身に自己調整機能を内蔵する方法が考えられる。

【0007】

具体的には、従来のLSI設計最終段階（物理設計）で行っていた個々のトランジスタのサイズ（ゲート長とゲート幅）設定に基づく電気特性調整を、LSI製造後にチップ毎にチップ自身が自動的に実施できるようにすることにより、LSIチップ内の個々のトランジスタの電気特性を最適化しチップ性能を高める手法である。

【0008】

LSIチップ自身が自己調整機能を実現するためには、プログラムや電氣的ダイナミクスによって自動的に電気特性が調整できる仕組みをLSIチップに内蔵する必要がある。したがって、当該手法実現のためには、少なくとも、電気特性を電氣的に変調する何らかの手段が必要不可欠であり、その技術開発が自己調整機能実現の鍵となる。

【0009】

以下、従来技術を用いて実現できる電気特性の電氣的変調方法について説明する。従来技術では、電気特性を電氣的に変調する場合、主に、回路構成による方法と、素子自体の特性を変調する方法とが採用できる。

【0010】

(I) 回路構成による方法としては、例えば、(Ia)～(Id)に示すように複数の電界効果型トランジスタ（以下「MOSトランジスタ」という）を使い、その並列接続数等を電氣的スイッチで切り替える回路構成とする方法が考えられる。これによれば、回路全体を一つのトランジスタとみなした場合の実効的電気特性（利得係数）を変調することができる。しかし、この回路的に実現する方法では、以下に説明するように、調整精度と回路規模の点から極めて非効率である。

【0011】

(Ia) 2つのMOSトランジスタを並列に接続し、一方のMOSトランジス

タのゲート電極には、通常の信号電圧を与え、他方のMOSトランジスタのゲート電極には、スイッチによって信号電圧とOFF動作させるOFF電圧とを切り替えて与える構成を考える。

【0012】

この構成によれば、スイッチが他方のMOSトランジスタのゲート電極に信号電圧を接続した状態では、この回路は、並列に接続された2つのMOSトランジスタが1つのMOSトランジスタとして働く。また、スイッチが他方のMOSトランジスタのゲート電極にOFF電圧を接続した状態では、この回路は、一方のMOSトランジスタのみが働く。これによって、MOSトランジスタの実質的な利得係数を変調することができる。

【0013】

(I b) 5つのMOSトランジスタを並列に接続し、1つのMOSトランジスタのゲート電極には、通常の信号電圧を与え、残り4個のMOSトランジスタのゲート電極には、それぞれ、スイッチによって信号電圧とOFF電圧とを切り替えて与える構成を考える。

【0014】

この構成によれば、4つのスイッチの状態によって、16通りのバリエーションを実現することができる。すなわち、4つのMOSトランジスタの利得係数を各々2のべき乗倍に設定することによって、16段階の係数値を等間隔にすることができる。

【0015】

(I c) 2つのMOSトランジスタを直列に接続し、一方のMOSトランジスタのゲート電極には、通常の信号電圧を与え、他方のMOSトランジスタのゲート電極には、スイッチによって信号電圧とON動作させるON電圧とを切り替えて与える構成を考える。

【0016】

この構成によれば、スイッチが他方のMOSトランジスタのゲート電極に信号電圧を接続した状態では、この回路は、2つのMOSトランジスタが直列に接続され、同一の動作を行うので、通常の1個のMOSトランジスタとして働く。ま

た、スイッチが他方のMOSトランジスタのゲート電極にON電圧を接続した状態では、この回路は、一方のMOSトランジスタに他方のMOSトランジスタのON抵抗が直列に接続された回路として働く。

【0017】

(I d) 2つのMOSトランジスタを直列に接続し、一方のMOSトランジスタのゲート電極には、通常の信号電圧を与え、他方のMOSトランジスタのゲート電極には、そのON抵抗値を可変する制御電圧を与える構成を考える。この回路は、一方のMOSトランジスタに直列接続された抵抗値を調整する回路として働く。

【0018】

ここで、スイッチは、通常、PMOSトランジスタとNMOSトランジスタとを並列接続したCMOSスイッチと、そのゲート信号を作るインバータと、スイッチの状態を保持するためのラッチ回路とで構成され、合計24個程度のMOSトランジスタが必要である。

【0019】

したがって、(I a) (I b) で示した並列接続による回路構成例では、特性調整の精度と回路規模がトレードオフの関係となるので、調整精度を高めるためには回路規模が大きくなるという問題がある。

【0020】

また、(I c) (I d) で示した直列接続による回路構成例では、回路規模が大きくなる問題に加え、入力信号に対して非線形な特性を示す抵抗成分が直列に介在しているので、実効的な特性調整範囲が制限されるという問題がある。

【0021】

このように、回路構成によるトランジスタの電気的特性変調方式には、調整すべき素子数の数倍から数十倍もの素子数を費やす必要があるという本質的な制約があり、高集積化を推進しLSIデバイスの高性能化を目的とする自己調整機能実装には馴染み難い。

【0022】

(I I) 従来のMOSトランジスタでは、電気特性をLSI製造後に変更する

ことは容易でないが、バックゲート電圧を操作することによって素子自体の電気特性を変調することができる。まず、MOSトランジスタの電気特性について概説する。

【0023】

MOSトランジスタの電気特性は、ソース・ドレイン電流 I_{ds} 、ソース・ドレイン電圧 V_{ds} 、ゲート電圧 V_{gs} 、閾値電圧 V_t 、利得係数 β を用いて、

$$V_{ds} > V_{gs} - V_t ; I_{ds} \doteq \beta (V_{gs} - V_t)^2 / 2 \quad \dots(1)$$

$$V_{ds} \leq V_{gs} - V_t ; I_{ds} \doteq \beta ((V_{gs} - V_t) V_{ds} - V_{ds}^2 / 2) \quad \dots(2)$$

と表すことができる。なお、式(1)(2)では、簡単のために短チャネル効果等がない場合を示している。

【0024】

また、利得係数 β は、ゲート幅 W 、ゲート長 L 、ゲート絶縁膜厚 T_{ox} 、キャリア移動度 μ 、ゲート絶縁膜の誘電率 ϵ を用いて、

$$\beta \doteq \mu \epsilon W / (L \cdot T_{ox}) \quad \dots(3)$$

と表すことができる。

【0025】

式(1)(2)から理解できるように、MOSトランジスタの電気特性は、閾値電圧 V_t に依存している。LSI製造後においては、この閾値電圧 V_t は、バックゲート電圧を操作することで変えることができる。そこで、従来技術によって、LSI製造後にMOSトランジスタの電気特性を変更する方法として、バックゲート電圧を変えて閾値電圧 V_t を変調することが考えられる。

【0026】

しかし、バックゲート電圧は、ソース・ドレイン電圧との逆バイアス関係を維持する必要があることに加え、変調する素子毎にバックゲート電圧を電氣的に分離する必要があるので、高集積化には不向きである。

【0027】

しかも、閾値電圧 V_t の変化は、ゲート電圧 V_{gs} との差でしかソース・ドレイン電流 I_{ds} に影響を与えることができないので、閾値電圧 V_t を変えるだけ

では、MOSトランジスタの電気特性をダイナミックに変調することは困難である。

【0028】

つまり、従来技術を用いた閾値電圧 V_t の変更によるトランジスタ電気特性変調方式は、バックゲート分離に伴う集積度の阻害と変調度合いの脆弱さとによって、高集積化を推進しLSIデバイスの高性能化を目的とする自己調整機能実装には馴染み難いものである。

【0029】

以上のように、従来の技術では、自己調整機能を高集積に内蔵することや、電気特性をLSI製造後に変更することは容易でない。そこで、高集積化を阻害せず、かつダイナミックな電氣的特性変調を可能にする新しい素子の開発が望まれている。

【0030】

ここで、式(3)において、一般に、キャリア移動度 μ 、誘電率 ϵ およびゲート絶縁膜厚 T_{ox} は一定であるので、利得係数 β は、ゲート幅 W とゲート長 L の比で設定することができる。したがって、LSIデバイスの物理設計において設定可能なMOSトランジスタの電気特性は、利得係数 β である。

【0031】

この利得係数 β を変調することができれば、上記の各式から理解できるように、ゲート電圧 V_{gs} との積に比例してソース・ドレイン電流 I_{ds} に強い影響を与えることができるので、MOSトランジスタの電気特性をダイナミックに変調することができる。つまり、利得係数 β を数倍から数十倍程度、電氣的に変調できれば、それに匹敵する素子特性バラツキの補正や負荷変動に対する自動補償等をLSIデバイスの製造後に実施できることになる。

【0032】

このとき、能動型LSI用の基本素子としては、消費電力の増大を招かずに、高集積化を阻害しないコンパクトな素子サイズでもって利得係数 β のアナログ的な変調が行えることが重要である。

【0033】

本発明者は、このような観点から、電界効果型トランジスタの利得係数を電圧変調できるようにした半導体素子を開発し、先に出願した（特許文献1）。ここでは、利得係数可変MOSトランジスタと称することとし、その概要を説明する。

【0034】

この利得係数可変MOSトランジスタの構造上の特徴は、従来のMOSトランジスタにおいて、そのゲート領域（メインゲートと称している）に対して制御ゲートを斜めに追加設置していることである。つまり、この利得係数可変MOSトランジスタは、制御ゲート下のチャネル領域のうち、メインゲートとの重複を外れたソース領域側およびドレイン領域側に三角形領域を形成し、それらの領域がメインゲートを挟んで平行四辺形を形成するようにしたことを特徴としている。

【0035】

利得係数 β の変調特性は、素子形状パラメータ（メインゲートのゲート幅 W とゲート長 L 、およびメインゲートと制御ゲートとのなす角度 θ ）によって設定することができる。

【0036】

この構成によれば、ゲートチャネルに対する電界の向きを制御ゲートの電圧によって制御できる。つまり、制御ゲートの電圧を調整し、制御ゲートチャネルのコンダクタンスをメインゲートのそれに対して変化させることで、実効的なゲート長 L とゲート幅 W をアナログ的に変調することができ、利得係数 β をアナログ変調することができる。

【0037】

したがって、この利得係数可変MOSトランジスタをLSIに組み込むことで、オンチップ自身で素子の特性をダイナミックに調整することを可能にし、LSIの大規模化に伴う内蔵機能回路間の動作タイミングや、素子の微細化に伴い増大する素子特性バラツキを自動補正する機構を高集積に実現することができる。

【0038】

【特許文献1】

特開 2002-222944 号公報（0020～0032、図1～図

5)

【0039】

【発明が解決しようとする課題】

しかしながら、本発明者が先に出願した利得係数可変MOSトランジスタと呼べる半導体素子では、メインゲートのソース領域側およびドレイン領域側に三角形領域を形成するために、メインゲートに対してある一定の角度をなす制御ゲートを追加設置するようにしているので、素子のサイズが大きくなるという問題がある。

【0040】

また、上記の半導体素子における利得係数の変調特性は、上記のようにメインゲートと制御ゲートのコンダクタンス比で決まるので、メインゲートのコンダクタンスが小さくなる程、利得係数の変調度合いが小さくなるという問題もある。

【0041】

この発明は、上記に鑑みてなされたもので、素子サイズを小さくするとともに、ゲート領域のコンダクタンスに関わらず利得係数の変調度合いを確保することができる利得係数の変調可能な半導体素子を得ることを目的とする。

【0042】

【課題を解決するための手段】

上記の目的を達成するために、この発明にかかる半導体素子は、電界効果型トランジスタにおけるゲート領域のゲート長方向両端側または片端側に、ゲート幅方向に沿ってその全幅に渡る制御チャネル領域が設けられ、前記制御チャネル領域における閾値は前記ゲート幅方向において一方端から他方端に向かう一方向変化特性を持って連続的にまたは階段状に変化する不均一性を有していることを特徴とする。

【0043】

この発明によれば、制御チャネル領域における閾値がゲート幅方向において不均一となるようにしているので、制御チャネル領域に印加する制御電圧の大きさを変化させると、制御チャネル領域において形成されるチャネルの幅が閾値分布に応じて変化する。このとき制御チャネル領域において形成されるチャネルがゲ

ート領域における実効的チャネルとなる。つまり、制御チャネル領域に印加する制御電圧の大きさを調整することにより、ゲート領域における実効的チャネル幅を変調することができ、電界効果型トランジスタの利得係数を変調することができる。

【0044】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体素子の好適な実施の形態を詳細に説明する。

【0045】

実施の形態 1.

図 1～図 3 は、この発明の実施の形態 1 である半導体素子の構成を示す模式図である。なお、図 1 は、上面図である。図 2 は、図 1 に示す A-A' 断面図である。図 3 は、図 1 に示す B-B' 断面図である。

【0046】

図 1 において、MOS トランジスタの構造は、よく知られているように、ゲート領域 1 が、ソース領域 2 とドレイン領域 3 との間（中央位置）に、ソース領域 2 とドレイン領域 3 との間に形成されるチャネル（以下「ゲートチャネル」という）を横断して配置されている。なお、ゲート領域 1 とソース領域 2 とドレイン領域 3 とには、電極を構成するコンタクト 4 a, 4 b, 4 c がそれぞれ設けられる。

【0047】

この実施の形態 1 である半導体素子は、このような MOS トランジスタにおいて、ゲート領域 1 を以降メインゲート 1 と称すれば、制御ゲート 5 がメインゲート 1 の上方を覆い隠すように設けられている。これによってメインゲート 1 のゲート長方向両端側に、つまりソース領域 2 側とドレイン領域 3 とに制御ゲートチャネル領域 6 がはみ出して形成されるようにしている。

【0048】

なお、制御ゲート 5 には、電極を構成するコンタクト 4 d が設けられる。図 1 では、制御ゲート 5 におけるコンタクト 4 d の配置領域とメインゲート 1 にお

るコンタクト 4 a の配置領域とは、ソース領域 2 とドレイン領域 3 とを結ぶ線分に対し、反対側に形成した例が示されている。

【0049】

ゲートチャネルに平行な断面図である図 2 に示すように、メインゲート 1 と制御ゲート 5 との間は、絶縁膜層 7 で隔離され、電氣的に分離されている。そして、基板（ウエル領域）8 の表面側には、メインゲート 1 のゲート長方向両端側にはみ出して形成される上記の制御ゲートチャネル領域 6 を構成するチャネル不純物拡散領域 9 が形成されている。

【0050】

このチャネル不純物拡散領域 9 の不純物濃度は、メインゲート 1 のゲート幅方向において均一ではなく、ゲートチャネルに垂直な制御ゲートチャネル領域 6 の断面図である図 3 に示すように、一方端から他方端に向かって連続的に変化する不均一性を示すようになっている。図 3 では、黒色が濃くなる程、不純物濃度は低くなっていくことが示されている。

【0051】

これによって、制御ゲートチャネル領域 6 の閾値（以下「制御ゲート 5 の閾値」という）は、メインゲート 1 のゲート幅方向において、つまり、ゲートチャネルを横断する方向において一様ではなく、一方端から他方端に向かう一方向変化特性をもって連続的に変化するようになっている。

【0052】

図 1 では、制御ゲート 5 の閾値は、黒色が濃くなる程、低くなっていくことが示されている。つまり、メインゲート 1 のコンタクト 4 a 側が最も濃い黒色で閾値が最小値であることが示され、制御ゲート 5 のコンタクト 4 d 側が最も薄くなり、閾値が最大値であることが示されている。

【0053】

このように、制御ゲート 5 の閾値不均一性が、チャネル不純物拡散領域 9 の不純物濃度をメインゲート 1 のゲート幅方向に空間的に分布させることによって実現される。したがって、制御ゲート 5 の形状は、任意である。一般にはメインゲート 1 の形状に依存し、矩形状となる場合が多い。

【0054】

次に、図1～図6を参照して、以上のように構成される半導体素子によって実現されるMOSトランジスタの利得係数を変調する動作原理を説明する。なお、図4は、図1に示す制御ゲートによって制御される単位ゲート幅当たりのドレイン電流特性例を示す図である。図5は、図1に示す半導体素子の特性を規定する形状パラメータを説明する図である。図6は、図1に示す半導体素子にて実現されるゲートチャンネル幅変調動作を説明する図である。

【0055】

制御ゲート5の閾値は、メインゲート1のゲート幅方向において、一方端から他方端に向かう一方向変化特性を持って連続的に変化するので、制御ゲート5に印加する制御電圧の大きさを変化させると、制御ゲートチャンネル領域6において形成されるチャンネルの幅が閾値分布に応じて変化する。このとき制御ゲートチャンネル領域6において形成されるチャンネルがゲート領域1における実効的チャンネルとなる。

【0056】

図4において、横軸は、制御ゲート5の制御ゲート電圧 V_{cg} を示す。縦軸は、制御ゲート閾値 V_t 毎の単位ゲート幅当たりのドレイン電流 I_d を示し、それらの総和が図1に示すMOSトランジスタに流れるドレイン電流となる。Lowは、低いを示し、Highは、高いを示す。

【0057】

図4に示すように、単位ゲート幅当たりのドレイン電流 I_d は、制御ゲート5の閾値 V_t が低くなる程、制御ゲート電圧 V_{cg} の低値から流れ出し、閾値 V_t が高くなる程、制御ゲート電圧 V_{cg} が高くなるとその部分のドレイン電流 I_d は流れない。ドレイン電流 I_d は、制御ゲート電圧 V_{cg} が閾値 V_t を超えた部分のみで流れる。

【0058】

つまり、メインゲート1の実効的チャンネル幅は、制御ゲート5に与える制御電圧 V_{cg} によって変調することができ、MOSトランジスタの利得係数 β を変調することができる。そして、実現されるチャンネル変調特性は、制御ゲート5の閾

値分布と図5に示す形状パラメータとによって設定することができる。

【0059】

図5において、形状パラメータとしては、メインゲート1のゲート長 L およびゲート幅 W と、制御ゲート5のゲート長 L_c とを用いる。それらを調整することで利得係数 β の変調特性を設計することができる。一般に、利得係数 β の変調度合いは、制御チャネル長である制御ゲート5のゲート長 L_c が小さい程、または、制御ゲート5の閾値分布の変化量が大きい程大きくなる。

【0060】

さて、メインゲート1における実効的なチャネルの幅は、例えば図6に示すように、制御ゲート電圧 V_{cg} によって変調される。なお、図6では、制御ゲート5の閾値の最大値を V_{tmax} 、最小値を V_{tmin} 、それらの中間値を $V_{tmiddle}$ と表している。

【0061】

図1にて説明したように、制御ゲート5の閾値は、メインゲート1のコンタクト4a側に向かって次第に低くなっていく。そして、メインゲート1のコンダクタンスは、閾値が低い所の方が大きくなる。したがって、図6では、メインゲート1の実効的なチャネルは、メインゲート1のコンタクト4a側に形成されとされている。

【0062】

図6(a)は、制御ゲート電圧 V_{cg} が比較的高い場合($V_{cg} > V_{tmax}$)を示す。この場合には、制御ゲート5における制御ゲートチャネル領域6の殆どの領域でチャネルが形成される。その結果、メインゲート1のコンタクト4a側に形成される実効的なチャネル11の幅は、閾値の高い所に向かって比較的大きく広がり、利得係数 β が大きくなる。また、メインゲート1内のドレイン電流は、閾値の低い所に多く流れるが、実効的なチャネル11の幅が閾値の高い所に向かって大きく広がっているので、その広がりには比例した分布をしている。つまり、ドレイン電流の変化範囲が広くなる。

【0063】

図6(c)は、制御ゲート電圧 V_{cg} が比較的低い場合($V_{tmiddle} >$

$V_{cg} > V_{tmin}$) を示す。この場合には、制御ゲート 5 における制御ゲートチャネル領域 6 のうち、閾値が中間値 $V_{tmiddle}$ よりも低い部分にのみチャネルが形成される。つまり、制御ゲートチャネル形成領域 6 において形成されるチャネルの幅が相当に狭くなる。その結果、メインゲート 1 のコンタクト 4a 側に形成される実効的なチャネル 12 の幅は、閾値の低い所を範囲とするので比較的小さくなり利得係数 β は小さくなる。ドレイン電流の変化範囲は、相当に狭くなる。

【0064】

図 6 (b) は、制御ゲート電圧 V_{cg} が中程度の場合 ($V_{tmax} > V_{cg} > V_{tmiddle}$) を示す。この場合には、制御ゲートチャネル形成領域 6 では閾値が中間値 $V_{tmiddle}$ の付近までチャネルが形成される。つまり、制御ゲートチャネル形成領域 6 において形成されるチャネルの幅が図 6 (c) の場合と図 6 (a) の場合との中間程度に広がる。その結果、メインゲート 1 のコンタクト 4a 側に形成される実効的なチャネル 13 の幅は、閾値の高い所に向かって図 6 (c) の場合よりも少し広がるので、利得係数 β は、図 6 (a) と図 6 (b) の中間程度になる。

【0065】

このように、この発明の半導体素子では、制御ゲート 5 に与える電圧によって制御ゲートチャネル領域 6 において形成されるチャネルの幅を変更することができる。これによって、メインゲート 1 の実効的なチャネル幅が変調されるので、基本となる MOS トランジスタの利得係数 β 、すなわちドレイン電流特性を連続的に変調することができる。

【0066】

ここで、この発明の半導体素子では、上記のように、本発明者が先に出願した半導体素子の構成方式では必要であった制御ゲートチャネルによる三角形状領域の形成を不要とする構成方式を採用したので、素子サイズを小さくすることができる。

【0067】

そして、本発明者が先に出願した半導体素子では、ゲートチャネルに掛かる電

界の向きを制御ゲート電圧によって変化させることでメインゲートの実効的チャネル幅を変調していたが、この発明の半導体素子では、制御ゲートチャネル領域 6 において形成されるチャネルの幅を調整することでメインゲート 1 の実効的チャネル幅を変調しているので、メインゲート 1 のコンダクタンスに関わらず利得係数 β の変調度合いを確保することが可能となり、利得係数 β の変調特性がゲート電圧に強く依存しない効果がある。

【0068】

さらに、この発明の半導体素子では、NMOS トランジスタ、PMOS トランジスタにおいて共に同様の構成で実現することができるので、CMOS 回路にも容易に採用することができる。

【0069】

なお、利得係数 β を変調するために消費される電力は、制御ゲート 5 のリーク電流によるものだけである。これは極めて小さく、実用上問題にならない程度である。

【0070】

実施の形態 2.

図 7 は、この発明の実施の形態 2 である半導体素子の構成を示す要部断面図（図 1 に示す B-B' 断面図）である。なお、図 7 では、図 1 に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態 2 に関わる部分を中心に説明する。

【0071】

この実施の形態 2 では、制御ゲート閾値の空間的な不均一性を実現する他の構成例（その 2）が示されている。すなわち、実施の形態 2 である半導体素子では、図 7 に示すように、図 1 に示した制御ゲートチャネル領域 6 において、基板 8 の表面を絶縁膜層 7 ではなく、ゲート絶縁膜 21 で被覆し、このゲート絶縁膜 21 の厚さを空間的に不均一に形成している。つまり、ゲート絶縁膜 21 は、一方端から他方端に向かって次第に厚くなるように形成されている。なお、基板 8 の表面側に形成されるチャネル不純物拡散領域 22 の不純物濃度は、空間的に均一なものとしている。

【0072】

このような構造によっても、制御ゲート5の閾値は、空間的に不均一となるようにすることが実現できるので、実施の形態1と同様の変調効果が期待できる。加えて、この実施の形態2では、制御ゲートチャネル領域の不純物濃度が一様のままで、閾値分布の空間的不均一性が実現できるので、濃度分布を形成するためのフォトマスクが不要となり、製造コストと製造工程を減らせる効果がある。

【0073】

実施の形態3.

図8は、この発明の実施の形態3である半導体素子の構成を示す上面図である。なお、図8では、図1に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態3に関わる部分を中心に説明する。

【0074】

この実施の形態3では、制御ゲート閾値の空間的な不均一性を実現する他の構成例（その3）が示されている。すなわち、図8に示すように、この実施の形態3では、図1に示した制御ゲート5に代えて制御ゲート31が設けられている。

【0075】

この制御ゲート31における制御ゲートチャネル領域32では、閾値の一方向変化特性の空間的な分布が連続して変化するのではなく、階段状に変化するように設定されている。そして、この階段状の変化は、メインゲート1のゲート長方向両端側において同一となっている。

【0076】

具体的には、制御ゲート31の閾値は、メインゲート1のゲート長方向両端側において、ゲート幅方向に、例えば図8に示すように、メインゲート1のコンタクト4a側では、 V_t = 低であり、制御ゲート31のコンタクト4d側では、 V_t = 高であり、その間では、 V_t = 中となっている。

【0077】

このような複数の異なる閾値を有する制御ゲート31は、それぞれの領域毎に実施の形態1にて説明したようにチャネル不純物の濃度を変える、あるいは、実

施の形態 2 にて説明したようにゲート絶縁膜厚を変えるなどの方法によって実現することができる。

【0078】

この実施の形態 3 によれば、実施の形態 1 と同様の変調効果が得られるのに加えて、制御ゲートの閾値分布を階段状に形成するのに、特別な手段を新たに開発する必要がなく、従来のマスクで作分けする手法が使える効果がある。

【0079】

実施の形態 4.

図 9 は、この発明の実施の形態 4 である半導体素子の構成を示す上面図である。なお、図 9 では、図 1 に示した構成と同一ないしは同等である構成要素には、同一の符号が付されている。ここでは、この実施の形態 4 に関わる部分を中心に説明する。

【0080】

この実施の形態 4 では、制御ゲート閾値の空間的な不均一性を実現する他の構成例（その 4）が示されている。すなわち、図 9 に示すように、この実施の形態 4 では、図 1 に示した制御ゲート 5 に代えて制御ゲート 41 が設けられている。

【0081】

この制御ゲート 41 における制御ゲートチャネル領域 42, 43 では、閾値の一方変化特性の空間的な分布が連続して変化するのではなく、階段状に変化するように設定されている。そして、この階段状な変化は、実施の形態 3 とは異なり、メインゲート 1 のゲート長方向両端側において、ゲート幅方向に逆順の関係になっている。

【0082】

具体的には、制御ゲート 31 の閾値は、例えば図 9 に示すように、制御ゲートチャネル領域 42 では、メインゲート 1 のコンタクト 4a 側では、 $V_t = \text{低}$ であり、制御ゲート 41 のコンタクト 4d 側では、 $V_t = \text{高}$ であり、その間では、 $V_t = \text{中}$ となっている。

【0083】

これに対し、制御ゲートチャネル領域 42 では、メインゲート 1 のコンタクト

4 a 側では、 V_t = 高であり、制御ゲート 4 l のコンタクト 4 d 側では、 V_t = 低であり、その間では、 V_t = 中となっている。

【0084】

この実施の形態 4 によれば、実施の形態 1 と同様の変調効果が得られるのに加えて、メインゲートのチャネル幅変調の他に、チャネル長の変調も生じるので、利得係数 β のよりダイナミックな変調が実現できる効果がある。

【0085】

なお、実施の形態 4 では、実施の形態 3 への適用例を示したが、実施の形態 1, 2 にも同様に適用することができる。また、実施の形態 1 ~ 4 では、制御ゲートは、メインゲートのゲート長方向両端側に制御ゲートチャネル領域を形成する場合を示したが、この発明は、これに限定されるものではなく、メインゲートのゲート長方向片側に、つまり、ソース領域側またはドレイン領域側のいずれか一方に制御ゲートチャネル領域を形成するようにしてもよい。これによっても、同様の作用効果が得られる。

【0086】

ここで、この発明による半導体素子は、本発明者が先に出願した半導体素子に比べてコンパクトなサイズと消費電力の増加を伴わない特長とを有するので、オンチップで素子の電気特性を自動調整し特性バラツキを補正する機構回路をあらゆる LSI デバイスに高密度実装することを可能にする。

【0087】

つまり、将来の大規模 LSI デバイスの高性能化を阻止する素子微細化に伴う特性バラツキや、プロセス変動に伴う素子特性変動などの特性不均一に起因する性能劣化や LSI 物理設計の困難性などを大幅に緩和する効果がある。

【0088】

したがって、この発明による素子構成技術は、ある程度大きな素子特性バラツキを許容する自己最適化 LSI や自己適応型 LSI などの全く新しい設計思想に基づく新タイプ LSI の実現に貢献することが期待される。

【0089】

【発明の効果】

以上説明したように、この発明によれば、電界効果型トランジスタにおけるゲート領域のゲート長方向両端側または片端側に、ゲート幅方向に沿ってその全幅に渡る制御チャネル領域を設け、前記制御チャネル領域における閾値が前記ゲート幅方向において一方端から他方端に向かう一方向変化特性を持って連続的にまたは階段状に増加するまたは減少する不均一性を有するようにしたので、制御チャネル領域に印加する制御電圧の大きさを調整することにより、ゲート領域における実効的チャネル幅を変調することができ、電界効果型トランジスタの利得係数を変調することができる。

【0090】

したがって、この発明によれば、本発明者が先に出願した半導体素子の構成方式では必要であった制御ゲートチャネルによる三角形状領域の形成を不要とする構成方式を採用したので、素子サイズを小さくすることができ、また利得係数変調特性のゲート電圧依存性を小さくすることができる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である半導体素子の構成を示す上面図である。

【図 2】 図 1 に示す半導体素子の A-A' 線断面図である。

【図 3】 図 1 に示す半導体素子の B-B' 線断面図である。

【図 4】 図 1 に示す半導体素子の制御ゲートによって制御される単位ゲート幅当たりのドレイン電流特性例を示す図である。

【図 5】 図 1 に示す半導体素子の特性を規定する形状パラメータを示す図である。

【図 6】 図 1 に示す半導体素子にて実現されるゲートチャネル幅変調を説明する図である。

【図 7】 この発明の実施の形態 2 である半導体素子の構成を示す要部断面図（図 1 に示す B-B' 断面図）である。

【図 8】 この発明の実施の形態 3 である半導体素子の構成を示す上面図である。

【図 9】 この発明の実施の形態 4 である半導体素子の構成を示す上面図で

ある。

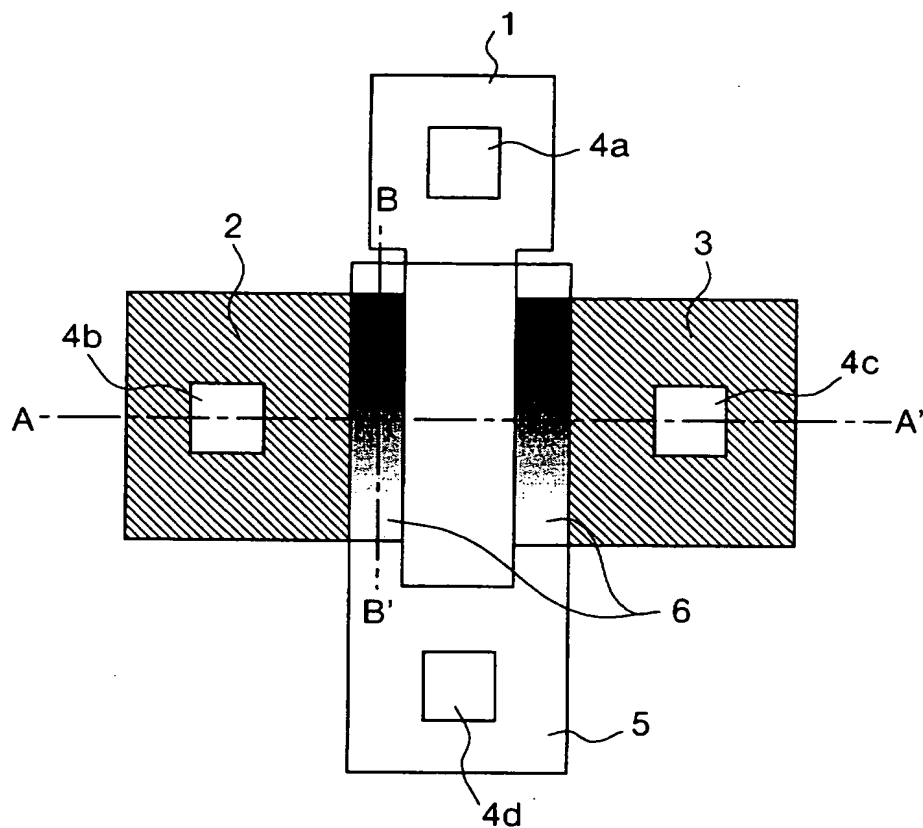
【符号の説明】

1 ゲート領域（メインゲート）、2 ソース領域、3 ドレイン領域、4 a, 4 b, 4 c, 4 d コンタクト、5, 3 1, 4 1 制御ゲート、6, 3 2, 4 2, 4 3 制御ゲートチャネル領域、7 絶縁膜層、8 基板（ウェル領域）、9, 2 2 チャネル不純物拡散領域、2 1 ゲート絶縁膜、1 2 ～ 1 3 メインゲートの実効的チャネル。

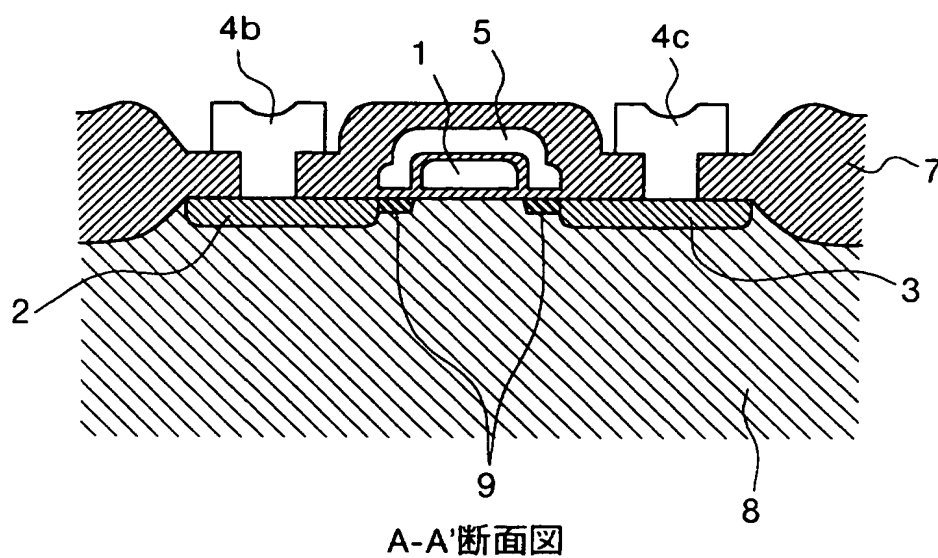
【書類名】

図面

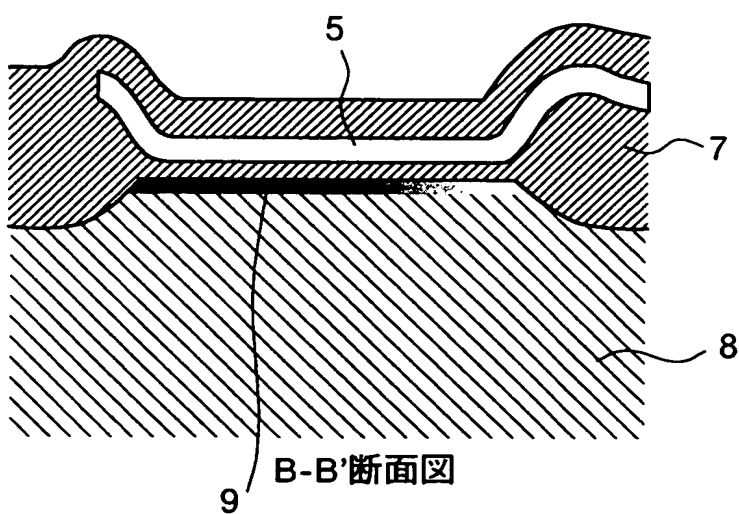
【図 1】



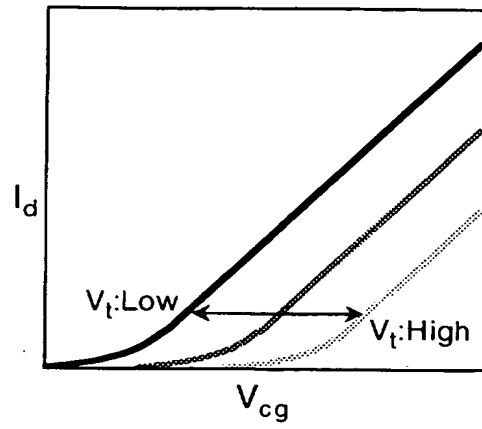
【図 2】



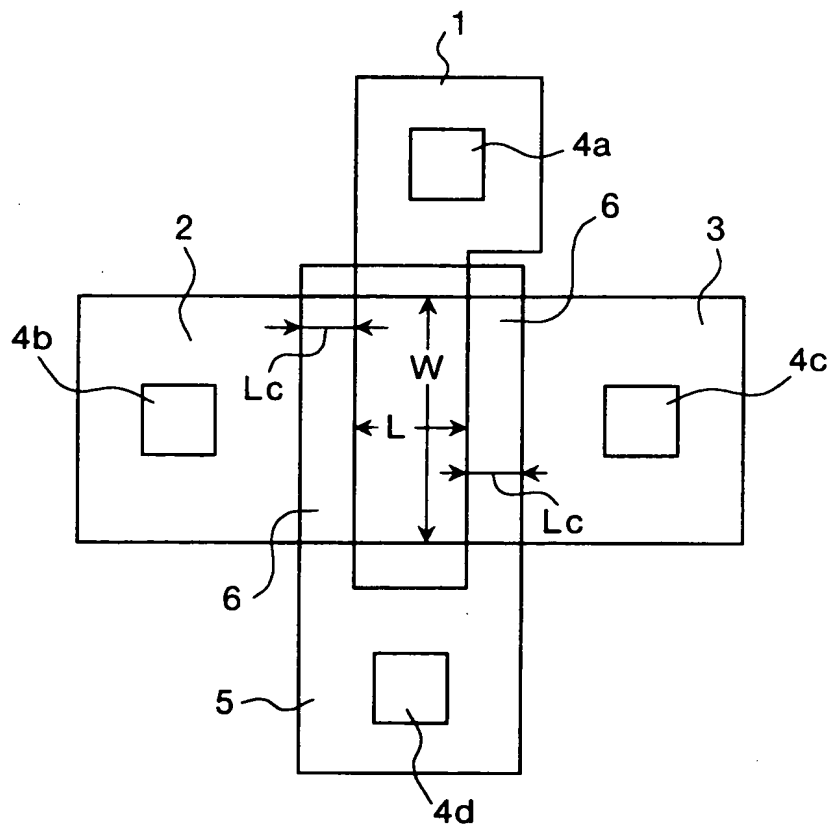
【図 3】



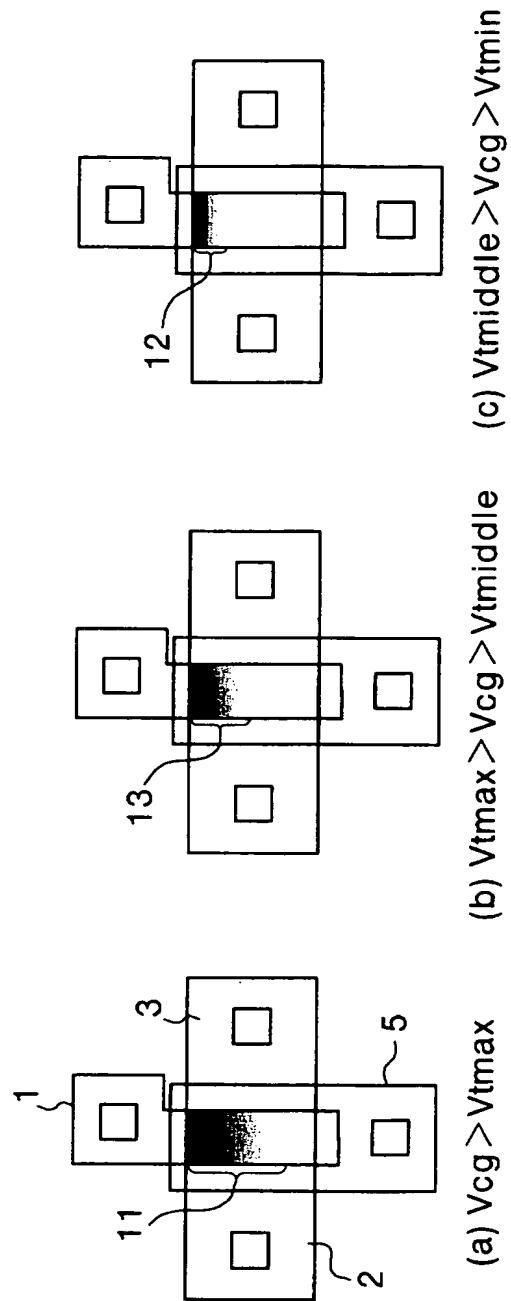
【図 4】



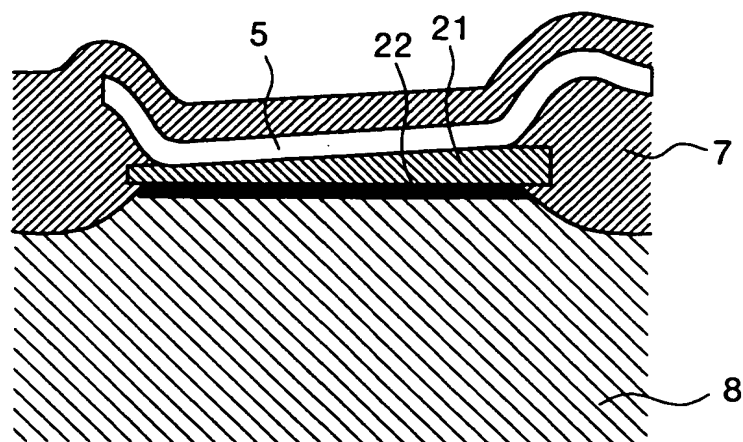
【図 5】



【図 6】

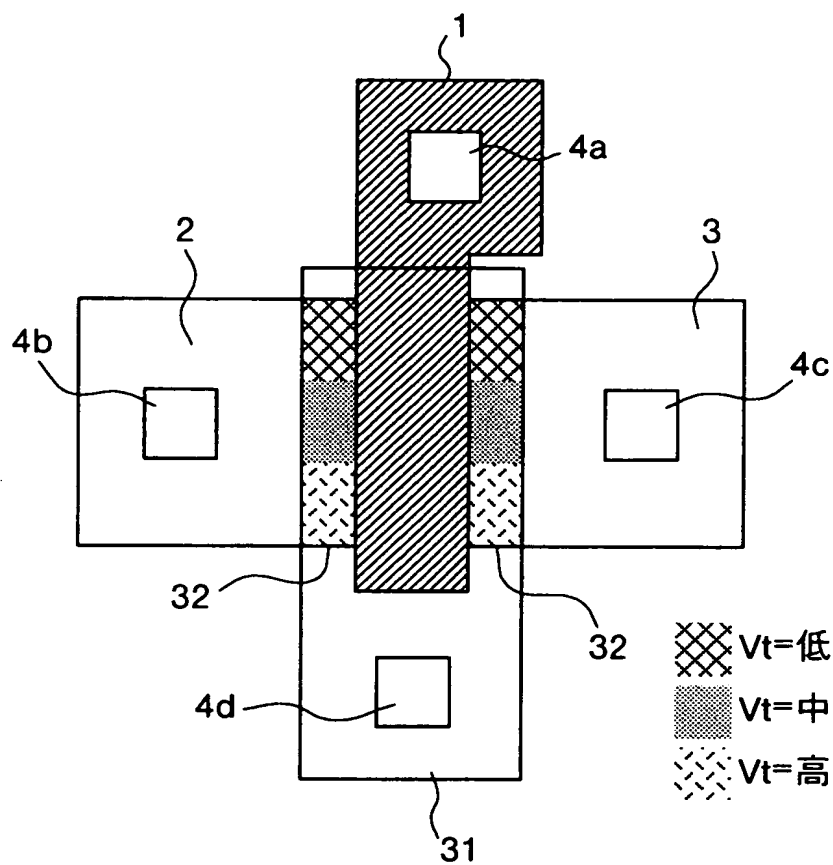


【図 7】

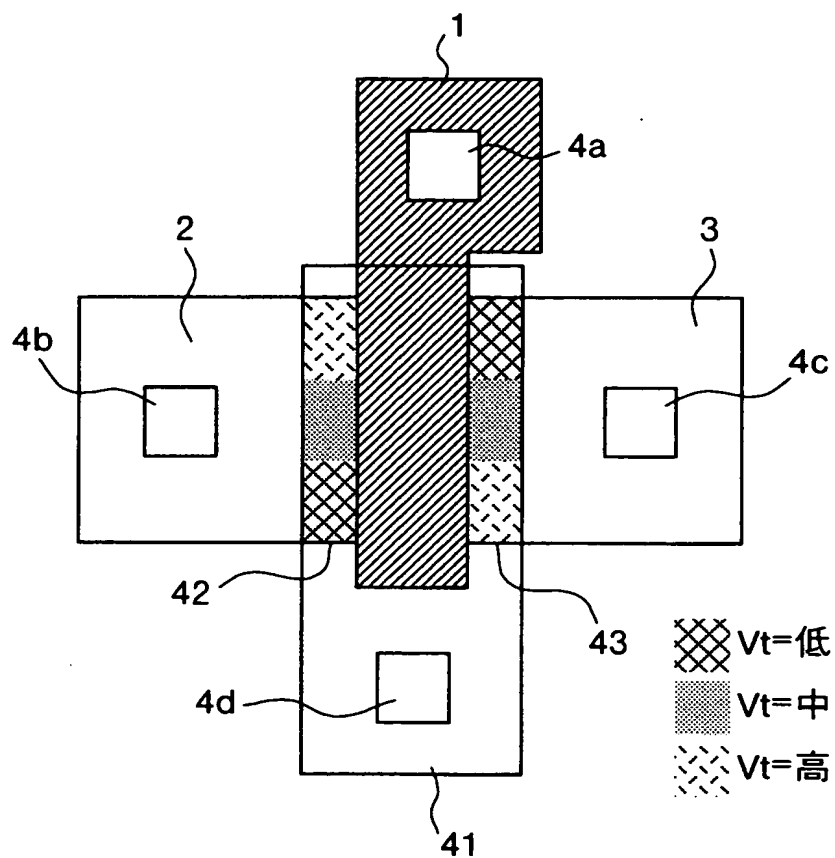


B-B'断面図

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 素子サイズを小さくするとともに、ゲート領域のコンダクタンスに関わらず利得係数の変調度合いを確保することができる利得係数の変調可能な半導体素子を得ること。

【解決手段】 MOSトランジスタのゲート領域1のゲート長方向両端側、つまりソース領域2側とドレイン領域3側とに、ゲート幅方向に沿ってその全幅に渡る制御ゲートチャネル領域6を形成する制御ゲート5が設けられる。制御ゲートチャネル領域6における閾値は前記ゲート幅方向において一方端から他方端に向かう一方向変化特性を持って連続的にまたは階段状に変化する不均一性を有している。

【選択図】 図1

特願 2 0 0 3 - 0 2 0 6 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社

特願 2 0 0 3 - 0 2 0 6 5 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 0 3 9 8 9 7]

1. 変更年月日

2 0 0 3 年 1 月 2 9 日

[変更理由]

新規登録

住 所

福岡県飯塚市大字伊岐須 1 番地の 4

氏 名

有馬 裕